

SURFACE ROUGHING PROCESS

Patent Number: JP1119049
Publication date: 1989-05-11
Inventor(s): MORIMOTO TADAO; others: 03
Applicant(s): HITACHI LTD; others: 01
Requested Patent: ☐ JP1119049
Application Number: JP19870275620 19871102
Priority Number(s):
IPC Classification: H01L27/04; H01L21/312; H01L21/316; H01L27/10
EC Classification:
Equivalents: JP2602512B2

Abstract

PURPOSE:To allow fine and deep recessed and projected portions to be formed on a substrate surface by arranging a coating on a substrate with application of two kinds of materials which are substantially insoluble each other, causing fine holes and grooves to be formed on a coated portion which remains after having selectively removed one of the materials, and by etching using this coating as a mask.

CONSTITUTION:A polycrystalline Si 2 of 0.4μm thick is stacked on a substrate 1 by means of a CVD method. A mixture of a resist 3 and an application glass 4 being mixed at a ratio of 50Vol.% each is applied to a thickness of about 0.2μm on the polycrystalline Si 2 and is baked at 140 deg.C for 20 minutes in an electrothermal furnace. The resist and the application glass, not completely mixed, remain separated in fine islands of 0.1-0.2μm thick. When dipping it in an aqueous solution of hydrofluoric acid, only the application glass 4 is removed. The polycrystalline Si 2 is dry etched to a depth of 0.2μm with the resist 3 as a mask, the resist being removed by O₂ plasma to form net-like fine grooves 5 of 0.1μm thick on the polycrystalline Si. As to the density and size of the recessed and projected portions of the polycrystalline Si, the resist island becomes sparse with increasing application glass. Fine islands can be densely formed with increased stirring time.

Data supplied from the esp@cenet database - I2

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平1-119049

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 平成1年(1989)5月11日

H 01 L 27/04
21/312
21/316

C-7514-5F
Z-6708-5F
6708-5F

※審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 粗面化方法

⑯ 特 願 昭62-275620

⑰ 出 願 昭62(1987)11月2日

⑱ 発 明 者 森 本 忠 雄 東京都小平市上水本町1448番地 日立超エル・エス・アイ・エンジニアリング株式会社内

⑲ 発 明 者 大 賀 一 弘 東京都小平市上水本町1448番地 日立超エル・エス・アイ・エンジニアリング株式会社内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 出 願 人 日立超エル・エス・アイ・エンジニアリング株式会社 東京都小平市上水本町1448番地

㉒ 代 理 人 弁理士 中村 純之助
最終頁に続く

明 細 書

1. 発明の名称

粗面化方法

2. 特許請求の範囲

1. 互に実質的に相溶性のない少なくとも二種の材料を基板上に塗布し塗膜とする工程、一方の材料を該塗膜から除去する工程及び他方の材料をマスクとして上記基板を加工し、上記基板に微細な凹凸を形成することを特徴とする粗面化方法。

2. 上記二種の材料の一方は有機のポリマーであり、他方は焼成によってSiO₂になる有機ケイ素高分子化合物である特許請求の範囲第1項記載の粗面化方法。

3. 上記二種の材料の一方は固体の有機のポリマーの微粒子であり、他方は焼成によってSiO₂になる有機ケイ素高分子化合物である特許請求の範囲第1項記載の粗面化方法。

4. 上記二種の材料の一方は固体の微粒子であり、

他方は該微粒子を実質的に溶解しない溶剤である特許請求の範囲第1項記載の粗面化方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、基板の粗面化方法に係り、特に半導体装置、金属、ガラス板などの表面に微細な凹凸を形成するのに好適な粗面化方法に関する。

(従来の技術)

基板の粗面化方法の一例として半導体装置について説明する。LSIの高集積化に伴い、素子面積は年々縮小されている。しかし、1トランジスタ、1キャパシタで構成されるダイナミックRAMでは、情報記憶部であるキャパシタ面積の縮小は、情報の記憶機能を損なう結果になる。そこで、面積を縮小してもキャパシタの容量を減少させない工夫が提案されている。例えば特公昭61-23661号には、キャパシタ電極に用いる多結晶Si表面の結晶粒界にそった微細な溝によって実効的な表面積を増やし、容量を増大させたキャパシタ構造が開示されている。また、被加工材表面に凹凸を

形成する方法として、特開昭61-108176には、レジスト中にカーボンブラック粒子を混合し、露光、現像の後に残っているレジスト部分をマスクとし被加工材をエッチングする方法が開示されている。

〔発明が解決しようとする問題点〕

上記の従来技術の前者の方法は、多結晶Siの結晶粒界を利用して微細溝を形成するため、溝を深くすることについて配慮がされておらず、キャパシタの容量の増大が望めないという問題があった。キャパシタの容量の増大には微細で深い溝を高密度でSiの表面に形成する必要がある。また、上記従来技術の後者の方法は、ホトリソグラフィ技術を用いているため、光学的な解像度に限界があり、0.1 μ mレベルの凹凸の形成はできないという問題があった。

本発明の目的は、基板上に微細で深い凹凸を形成する方法を提供することにある。

〔問題点を解決するための手段〕

上記目的は、互に実質的に相溶性のない少なくとも二種の材料を基板上に塗布し塗膜とする工程、

一方が液体であればエマルジョン状態として行なうのがよい。

二種の材料は、選択的に除去される方が5～95容量%の範囲で混合されることが好ましく、30～70容量%の範囲で混合されることがより好ましい。この量は塗膜としたときの容量である。

一方の材料を固体のまま混合して塗膜とするときは、微粒子として混合することが好ましい。微粒子の大きさが、基板に形成する凹凸の大きさと関係するからである。微粒子の粒径は0.05～10 μ mの範囲であることが好ましく、0.05～5 μ mの範囲であることがより好ましく、0.05～0.3 μ mの範囲であることがさらに好ましい。

これらの微粒子がほぼ一層になるような塗膜を形成すれば、微粒子の粒径と基板に形成された凹凸の径とはほぼ同じになる。

塗膜からの一方の材料の除去は、材料の蒸発速度の差、溶解性の差、分解性の差又は耐エッチング特性の差などを利用して行なうことができる。この材料の特性の差というのは、塗膜とした後に、

一方の材料を該塗膜から除去する工程及び他方の材料をマスクとして上記基板を加工し、上記基板に微細な凹凸を形成することを特徴とする粗面化方法により達成される。

二種の材料は、互に均一に混合することのない、実質的に相溶性のないものであればよい。また、二種の材料を塗膜としたとき、塗膜から除去される特性が異なるものがよい。この特性が異なっていれば塗膜から一方のみを選択的に除去することができる。

一方の材料が塗膜から除去されたとき、他方の材料は、基板上に塗膜として残ることが必要である。この塗膜は連続した塗膜であっても、不連続的な塗膜であってもよい。例えばポリスチレンビーズを他の材料と混合して塗膜とし、他の材料を除去したのち加熱すればビーズは軟化して基板に被着する。このような不連続的な膜であっても本発明に用いることができる。

二種の材料を塗膜にすると、両者が液状であればサスペンション状態として、一方が固体、他

必要ならば加熱などの処理によって材料を変化させたときは、そのときの材料の特性の差である。

二種の材料の組合せの例として、有機のポリマーと焼成によってSiO₂になる有機ケイ素高分子化合物の例がある。有機のポリマーにはホトレジストを用いてもよい。また、固体の有機物、特に有機ポリマーと上記有機ケイ素高分子化合物の組合せも用いられる。さらにまた同様な固体の有機物又は無機物、例えばSiO₂、Al₂O₃、Si₃N₄などの微粒子、と溶剤との組合せも用いられる。さらにまた、二種共有機のポリマーであっても一方が水溶性、他方が非水溶性などの場合、その特性の差を利用して本発明に用いることができる。これらは単に一例を挙げたのみであって、これ以外にも前述の条件を有する二種の材料の組合せは多数存在する。

〔作用〕

二種の材料を混合し、塗膜とし、一方の材料を選択的に除去すると、残った塗膜には微細な孔や溝が形成されている。この塗膜をマスクとしてエ

ンチングすると基板表面には微細で深い凹凸が形成される。

〔実施例〕

以下、実施例により本発明を詳細に説明する。
実施例 1

第1図に本発明の一実施例の工程を示す。基板1上にCVD法により厚さ0.4 μ mの多結晶Si2を堆積する。この上にレジスト3と塩布ガラス（焼成によってSiO₂となる有機ケイ素高分子化合物の溶液、商品名SOG）4を50容量%ずつの割合で混合したものを約0.2 μ mの厚さで塗布し、140℃の電熱炉内で20分間ベーキングする。レジストと塩布ガラスは完全には混ざり合わず、第1図(a)に示すように、0.1~0.2 μ mの微細な島状に分離している。これをフッ酸水溶液に浸漬すると塩布ガラス4だけが除去され、第1図(b)に示す形状になる。第1図(c)は第1図(b)の平面である。島状に残ったレジスト3をマスクにして、多結晶Si2を深さ0.2 μ mドライエッチングし、O₂プラズマによりレジストを除去すると、第1図

(d)に示すように多結晶Si1に0.1 μ m程度の微細溝5が網目状に形成される。多結晶Si1のドライエッチングは、周知の反応性スパッタエッチ装置にCCl₄ガスを用い、ガス流量10cc/分、圧力0.03 Torr、高周波電力密度0.3W/cm²で2分間行った。

多結晶Si1表面の凹凸の密度及び大きさは、レジストと塩布ガラスの混合比と焼成の仕方によって変化する。塩布ガラスが多い程、レジストの島は疎となり、焼成時間を長くすることにより微細な島を高密度に形成できる。

本実施例では、フッ酸水溶液によって塩布ガラスを除去しているが、O₂プラズマや現像液によりレジストのみを除去したものをマスクとしても同様の結果が得られる。

本実施例によれば、ホトリソグラフィ法では得られない0.1 μ mレベルの凹凸が、レジストと塩布ガラスの混合比及びドライエッチ量を制御することによって形成できるという効果がある。

実施例 2

第2図に他の実施例を示す。第2図(a)に示すように多結晶Si1上にポリスチレンの微粒子3'と塩布ガラス4を混合した塗膜を0.2 μ mの厚さに形成する。ポリスチレン微粒子は直径0.2 μ mのものを用いた。140℃20分のベーキング後、有機物であるポリスチレン粒子をO₂プラズマによって除去すると第2図(b)に示すように0.2 μ m径の孔が塗膜に形成される。第2図(c)は上から見た形状である。残った塩布ガラス4をマスクとして多結晶Si2を実施例1と同じ条件で深さ0.3 μ mドライエッチングし、塩布ガラスをフッ酸水溶液によって除去すると第2図(d)の形状の多結晶Si1を得る。

本実施例では、ポリスチレン微粒子と同じ直径の微細孔5'が、多結晶Si1上に形成される。また孔の密度はポリスチレン微粒子の混合量によって制御できる。

実施例 3

第3図にさらに他の実施例を示す。0.2 μ m径の

ポリスチレン微粒子3'を分散したメタノールを多結晶Si2上に塗布する。140℃の電熱炉中で20分間ベーキング行くと第3図(a)に示すようにポリスチレン微粒子3'は熱により変形し、多結晶Si1表面に密着する。これをマスクに多結晶Si1を0.3 μ mの深さだけドライエッチングし、O₂プラズマによりポリスチレンを除去すると第3図(b)に示す形状の多結晶Si1を得る。ポリスチレン微粒子の径に相当する多結晶Si1の円柱5'が形成されるのが本実施例の特徴である。

実施例 4

本発明をダイナミックRAMのキャパシタに適用した例を第4図によって説明する。Si基板1上に、SiO₂から成る素子分離領域6、ゲート酸化膜7、多結晶Si1ゲート電極8、ソース領域9、ドレイン領域10から成るMOSトランジスタを形成する。

次にソース領域を露出するように開孔を形成し、CVD法により多結晶Si2を厚さ0.4 μ m堆積後、多結晶Si1中に拡散によりリンを導入し第4図

(a) に示す形状を得る。

次に実施例1で説明した方法で、多結晶Si上にレジスト9を第4図(b)のように島状に残し、多結晶Si2をCCl₄ガスでドライエッチして深さ0.3μmの微細溝5を形成する。多結晶Si2を周知のリソグラフィ及びドライエッチングによりパターンニングし第1のキャパシタ電極18を形成する。微細な凹凸をもつ多結晶Si2表面に、CVD法によってSiO₂のキャパシタ絶縁膜12を形成後、第2のキャパシタ電極13を多結晶Siで形成する。最後に、SiO₂膜14を全体に堆積し、ドレイン領域10上に開孔を設け、Al電極15を形成し第4図(c)に示すメモリセルが完成する。

本実施例では微小な凹凸を設けたことによってその側面分容量が増大し、同一平面積のキャパシタに比べ約2倍の容量が得られた。これによってダイナミックRAMの信頼性及び集積度の向上が達成された。

実施例5

次に、高い段差上の多結晶Si表面に凹凸を形

成する場合を第5図によって説明する。第5図

(a) に示すように、基板に高い段差16があると段の上と下では塗布膜厚が異なるため凹凸の密度にばらつきが生じる。そこで、第5図(b)に示すようにレジスト17を1.5μm塗布して240℃5分間のベーキングをし表面を平坦化し、ついで実施例1で説明した方法でレジスト3と塗布ガラス4を混合、塗布し、この場合は現像によってレジストを除く。次に塗布ガラスをマスクとして、O₂ガス30cc/分、0.01 Torr、600Wの条件でスパッタエッチを行うと、第5図(c)に示す形状を得る。このレジスト17をマスクとして、多結晶Si2をドライエッチすると、第5図(d)に示すように段差に影響されず均一な凹凸が形成される。

本実施例では、一旦レジストによって段差を平坦化するため、段差によらない凹凸形成ができるという効果がある。

(発明の効果)

本発明によれば、基板に微細で所望の深さの凹凸が得られるという効果がある。

4. 図面の簡単な説明

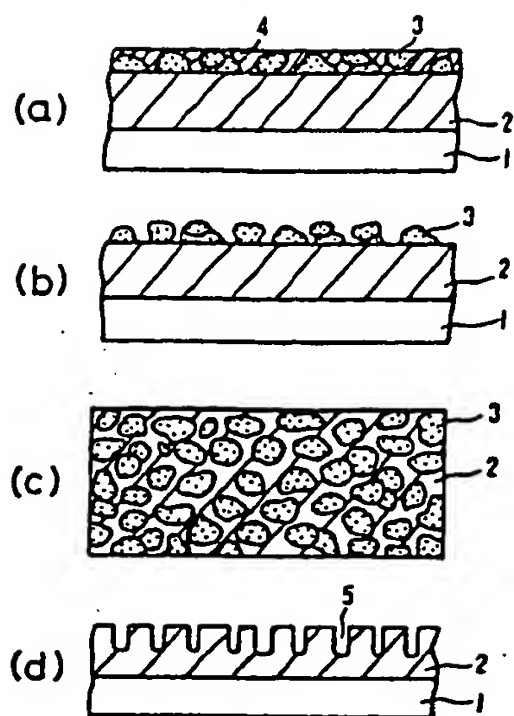
第1図は本発明の一実施例の工程を示す断面図及び平面図、第2図は本発明の他の実施例の工程を示す断面図及び平面図、第3図は本発明のさらに他の実施例の工程を示す断面図、第4図は本発明のさらに他の実施例の工程を示す断面図、第5図は本発明のさらに他の実施例の工程を示す断面図である。

- | | |
|---------------|---------------------|
| 1…基板 | 2…多結晶Si |
| 3…レジスト | |
| 3'…ポリスチレン微粒子 | |
| 4…塗布ガラス | 5…微細溝 |
| 5'…微細孔 | 5''…円柱 |
| 6…素子分離領域 | 7…ゲート酸化膜 |
| 8…ゲート電極 | 9…ソース領域 |
| 10…ドレイン領域 | 11…SiO ₂ |
| 12…絶縁膜 | |
| 13…第2のキャパシタ電極 | |
| 15…Al電極 | 16…段差 |
| 17…レジスト | |

18…第1のキャパシタ電極

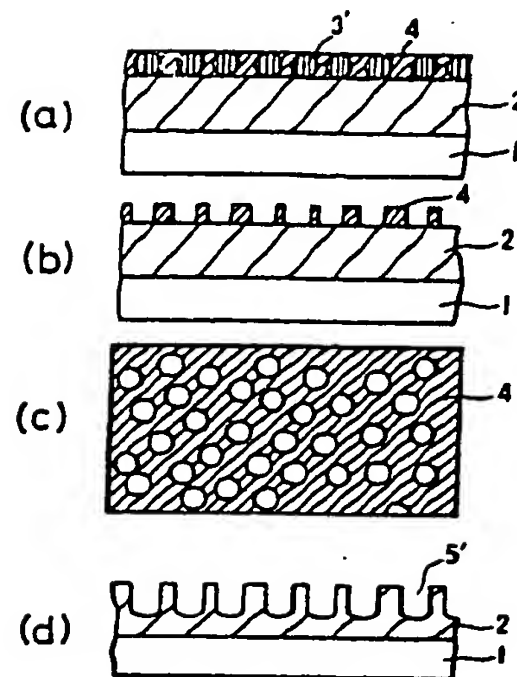
代理人弁理士 中村純之助

第1図



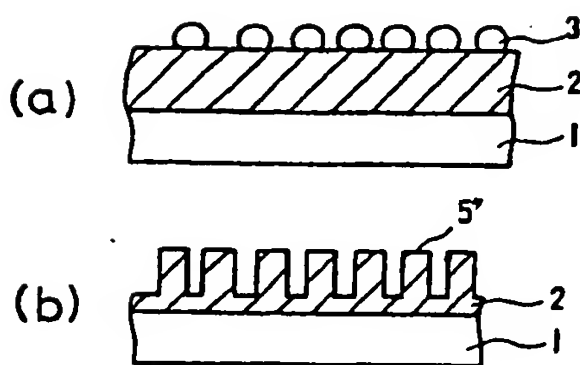
1---基板
2---多結晶Si
3---レジスト
4---塗布ガラス
5---微細孔

第2図



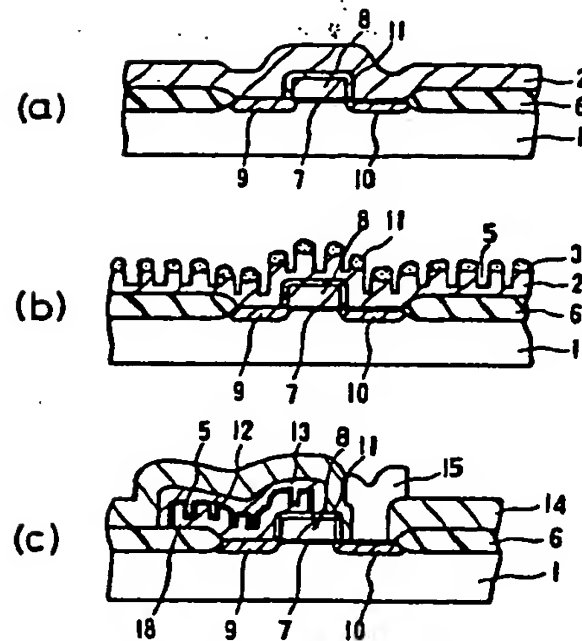
1---基板
2---多結晶Si
3---ポリシリコン微粒子
4---塗布ガラス
5---微細孔

第3図



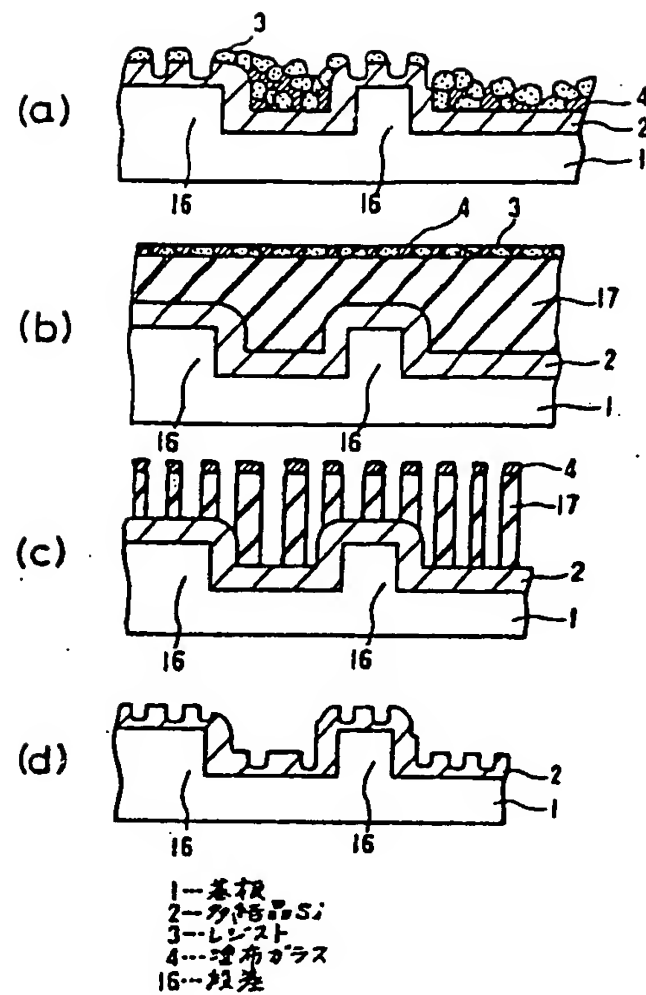
1---基板
2---多結晶Si
3---ポリシリコン微粒子
5---円柱

第4図



1---Si基板
2---多結晶Si
3---レジスト
5---微細孔
9---ソース領域
10---第1キャパシタ電極

第 5 図



第1頁の続き

⑤Int.Cl.⁴

H 01 L 27/10

識別記号

3 2 5

庁内整理番号

C-8624-5F

⑦発明者 久 礼

得 男

東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑦発明者 峰

利 之

東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内